

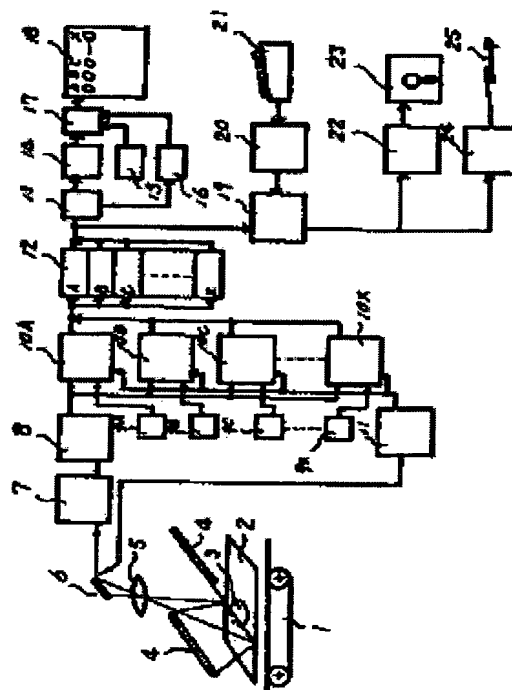
PICTURE INPUTTING DEVICE**Publication number:** JP59094180 ✓**Publication date:** 1984-05-30 ✓**Inventor:** MICHINO MASAO; SUZUKI YOSHIO; HANANOI
TOSHIHIRO ✓**Applicant:** HITACHI LTD ✓**Classification:****- international:** G06K9/20; G06K9/38; G06K9/20; G06K9/20;
G06K9/38; G06K9/20; (IPC1-7): G06K9/20; G06K9/38**- european:****Application number:** JP19820203626 19821122 ✓**Priority number(s):** JP19820203626 19821122

Report a data error here

Abstract of JP59094180

PURPOSE: To select picture data of any picture quality and input comparing binary coded picture patterns by binary coding signals obtained by scanning a form optically by many slice levels and storing.

CONSTITUTION: A form 2 is carried by a form running mechanism 1, and an original picture 3 recorded on the form 2 is scanned optically by lamp 4 and a lens 5 and a picture signal converted to electric is outputted from a photoelectric conversion element 6. This picture signal is converted to digital signal by an A/D converter 8 and supplied to plural comparators 10A-10X. Different slice level set in slice level setting circuit 9A-9X are added to comparators 10A-10X. Signals taken in by timing of an information taking in/storing timing generating circuit 11 are compared with each slice level by comparators 10A-10X and binary coded and stored in a picture information storing memory 12. Picture data of any picture quality on the form 2 is selected by a display and editing circuit 13 and displayed on a display 18.



Data supplied from the esp@cenet database - Worldwide

FP-1009 (4)

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—94180 ✓

⑤ Int. Cl.³
G 06 K 9/20
9/38

識別記号

庁内整理番号
7157—5B
7157—5B

⑬ 公開 昭和59年(1984)5月30日 ✓

発明の数 2
審査請求 未請求

(全 4 頁)

⑭ 画像入力装置

立製作所小田原工場内

⑮ 特 願 昭57—203626

⑯ 発 明 者 花野井歳弘

⑰ 出 願 昭57(1982)11月22日

小田原市国府津2880株式会社日

⑱ 発 明 者 道野正雄

⑰ 出 願 人 株式会社日立製作所

小田原市国府津2880株式会社日
立製作所小田原工場内

東京都千代田区丸の内1丁目5
番1号

⑲ 発 明 者 鈴木儀雄

⑱ 代 理 人 弁理士 薄田利幸

小田原市国府津2880株式会社日

明 細 書

1 発明の名称 画像入力装置

2 特許請求の範囲

1 帳票上の画像を光学的に取込み、取込んだ画像を電気信号に変換した後2値化することにより画像パターンを得る画像入力装置において、光電変換した信号を多数のスライスレベルで2値化する手段と、2値化された複数の画像パターンを格納する記憶手段と、該複数の画像パターンを表示する表示手段とを具備することを特徴とする画像入力装置。

2 前記光電変換した信号を同時に複数のスライスレベルで2値化することを特徴とする特許請求の範囲第1項記載の画像入力装置。

3 前記複数の画像パターンを表示手段に同時に表示することを特徴とする特許請求の範囲第1項記載の画像入力装置。

4 帳票上の画像を光学的に取込み、取込んだ画像を電気信号に変換した後2値化することにより画像パターンを得る画像入力装置において、

光電変換した信号を段階的に増幅する手段と、該信号の各段階において単一のスライスレベルで2値化する手段と、2値化された複数の画像パターンを格納する記憶手段と該複数の画像パターンを表示する表示手段とを具備したことを特徴とする画像入力装置。

5 前記複数の画像パターンを表示手段に同時に表示することを特徴とする特許請求の範囲第4項記載の画像入力装置。

3 発明の詳細な説明

[発明の利用分野]

この発明は帳票上の画像を光学的に取込み光電変換することにより画像パターンを得る画像入力装置に関する。

[従来技術]

従来の画像入力装置は、帳票上の画像を光学的に走査し、帳票からの反射光を電気信号に変換し、この電気信号を単一のスライスレベルで2値化することにより画像パターンとし、この画像パターンを表示装置に表示し、オペレータ

が確認してから記憶装置あるいは外部装置に格納あるいは出力していた。この装置の場合、スライスレベルに合った画像のみが鮮明となる欠点がある。

また、光電変換部から出力される電気信号の振幅や、2値化回路のスライスレベルを可変にする手段を持つ装置もあるが、このような装置の場合帳票を何回か搬送し、その中で最適な信号の振幅あるいは2値化のためのスライスレベルを選択する方式であるため、操作が複雑となる欠点を有している。

〔発明の目的〕

この発明の目的は、入力画像の画質を簡単に選択できる機能を有する画像入力装置を提供することである。

〔発明の概要〕

この発明の特徴とするところは、帳票を光学的に走査して得られる光電変換信号を多数のスライスレベルで2値化して記憶し、これら2値化された画像パターンを表示し、比較できるよ

うにすることにある。

〔発明の実施例〕

以下、本発明の一実施例を図面を参照して詳細に説明する。

第1図は本発明の一実施例における画像入力装置の構成を示すブロック図である。第2図は光電変換された画像のアナログ信号波形を示す図である。第3図はアナログ信号を多値のデジタル信号に変換した信号とスライスレベルとの関係を示す図である。第4図は複数のスライスレベルで2値化された信号の記憶装置への取込みタイミングを示す図である。第5図は記憶装置に取込まれた画像パターンを示す図である。第6図は複数のスライスレベルで取込んだ画像パターンを同時に表示した例を示す図である。第7図は複数のスライスレベルで取込まれた画像パターンを順次表示していく例を示す図である。

第1図において帳票走行機構1は電動で読み取られるべき帳票2を搬送する。帳票2は搬送

中、帳票2上に記録された原画3を光学的に走査される。すなわちランプ4は原画3を照射し、その反射光を結像レンズ5で光電変換素子6の上に映す。帳票2を搬送することにより原画3の照射位置が逐次進行する。光電変換素子6は例えば1次元半導体CCDセンサで構成され、情報取込み/格納タイミング発生回路11からのタイミング信号により、順次結像された原画3の黒白に応じた電気信号を信号増幅回路7に送る。

信号増幅回路7は、光電変換素子6より受ける電気信号を増幅し、アナログ・デジタル変換回路8に電気信号を送る。アナログ・デジタル変換回路8は信号増幅回路7より受けるアナログの電気信号を多値のデジタル信号に変換する。例えば、第2図で示すアナログの入力電気信号26を第3図で示す多値のデジタル信号27に変換する。アナログ・デジタル変換回路8は変換後のデジタル信号を比較回路10A、10B、10C、…10Xに送る。比較回路10A、10B、10C、…10Xは、アナログ・デジタル変換回路

8より送られるデジタル信号を情報取込み/格納タイミング発生回路11の情報取込みタイミング29(第4図参照)で取込み、あらかじめ外部より設定された段階的に異なるスライスレベル28A、28B、28C…28X(第3図参照)を有するスライスレベル指定回路9A、9B、9C…9Xのスライスレベルと比較し2値化して画像パターンとして、格納タイミング30A、30B、30C…30X(第4図参照)で画像情報格納メモリ12に書き込む。第5図に画像情報格納メモリ12に格納された画像パターンと記憶フォーマット31を示す。画像情報格納メモリ12は、各段スライスレベルの格納エリアをあらかじめエリア分けされており、画像パターンは01のビット配列で格納される。

表示編集回路13は、画像情報格納メモリ12より各段スライスの画像データを取り出し表示用。画像格納メモリ16に書き込み、表示する画面アドレスに対応する表示コントロールメモリ14に上記表示用画像格納メモリ16のアドレスを書き込む。

また、表示編集回路 13 はコード情報の表示を行う場合、あらかじめ設定されている表示用文字パターンメモリ 15 上の、表示コードのパターンのアドレスを、画面アドレスに対応する表示コントロールメモリ 14 に書き込む。

表示回路 17 は、表示コントロールメモリ 14 より画像格納メモリ 16 および表示用文字パターンメモリ 15 上のアドレスを得、これらのアドレスに格納されている画像パターンおよび文字パターンを脱出して表示部 18 に送る。

表示部 18 は、第 6 図に示すように各スライスレベルで 2 値化された画像パターン 51a, 51b, ... 51x をディスプレイ 50 上に同時に並べて表示する。オペレータは、並べられたパターンを見ながらどのパターンが鮮明で最適パターンかを選び、キーボード 21 により最適パターンを選択するためのキー操作を行う。キー入力された選択信号はキーボード制御回路 20 の制御によりデータ転送制御回路 19 に送出される。データ転送制御回路 19 は入力された選択信号により画像情

報格納メモリ 12 から最適スライスレベルの画像パターンを脱出して記憶制御回路 22 に送り、記憶装置 23 (例えばフレキシブルディスク装置) に記憶するか、あるいは前記画像パターンを伝送制御回路 24 に送り伝送回線 25 を介して外部装置に出力する。

なお、同時に表示するパターン 51a, 51b, ... 51x は縦に並べたり、画面 50 を縦横に分割して見易く表示することは容易に考えられる。

また、入力対象の画像が大きい場合、原画の一部のみの各スライスレベルのパターンを同時に映すことも考えられる。

また、単一画面で同時に映すことなく同一効果を得ることも出来る。例えば、第 7 図に示すように画面 53 上にあるスライスレベルの表示パターン 52a を表示し、次段スライスレベルの表示がキーボード 12 より指示されるとパターン 52b を表示するようにすれば、同一画面上でパターン 52a, 52b ... 52x がオペレータの操作により換わるのでオペレータは画質の比較をすることが

・ 7 ・

可能となり、第 6 図と同一効果が得られる。

また、本実施例ではスライスを段階的に設けることで種々の画質を得たが、光電変換素子 6 より得た信号に段階的にバイアスをかけることで単一スライスでも同様な効果を得ることは明らかである。

また、本実施例では別々のスライスレベルで取込まれた 2 値化データをメモリ上エリア分けして格納したが、例えば、各段のスライスのランレングス表示などで同一エリア上に全スライスのパターンを多値で格納し、同一効果を得ることも出来る。

また、出力装置として本実施例ではフレキシブルディスク装置を用いたが、磁気テープ装置、光ディスク装置、チャネル接続での中央処理装置等であっても良い。

〔発明の効果〕

以上の説明の如く本発明によれば、帳票上の画像を光学的に一回取込むだけで、任意の画質の画像データを選択して入力することができる。

・ 9 ・

・ 8 ・

4 図面の簡単な説明

第 1 図は本発明の一実施例を示すブロック図、第 2 図は光電変換されたアナログ信号の波形図、第 3 図は多値のデジタル信号に変換された信号とスライスレベルの関係を示す図、第 4 図は 2 値化された画像パターンの取込み／格納タイミングを示すタイムチャート、第 5 図は記憶装置に取込まれた画像パターンと記憶フォーマットを示す図、第 6 図および第 7 図は表示された画像パターンを示す図である。

2 ... 帳票、 3 ... 原画、 6 ... 光電変換素子、 7 ... 信号増幅回路、 8 ... アナログ・デジタル変換回路、 9A, 9B, 9C ... 9X ... スライスレベル指定回路、 10A, 10B, 10C ... 10X ... 比較回路、 11 ... 情報取込み／格納タイミング発生回路、 12 ... 画像情報格納メモリ、 13 ... 表示編集回路、 14 ... 表示コントロールメモリ、 15 ... 表示用文字パターンメモリ、 16 ... 表示用画像格納メモリ、 17 ... 表示回路、 18 ... 表示部。

代理人弁理士 薄 田 利

図 1

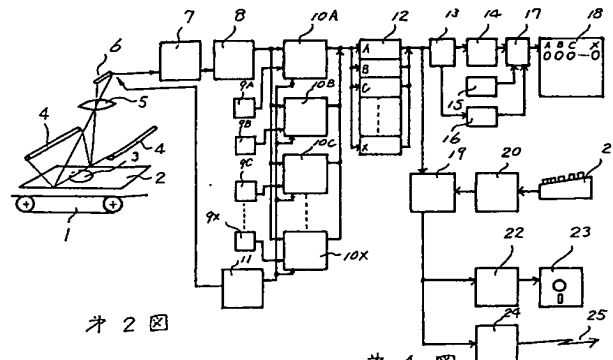


図 2



図 4

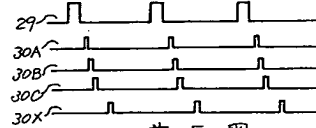


図 5

A	000001011000100000000000
B	000000101101100000100000
C	000001101101100001100100
X	00000111111100001100100

図 6

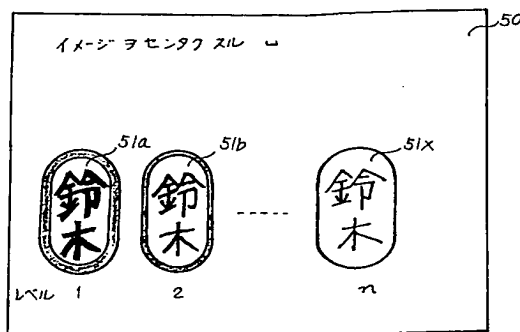


図 7

